

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327409
(43)Date of publication of application : 10.12.1993

(51) Int.Cl. H03H 17/02

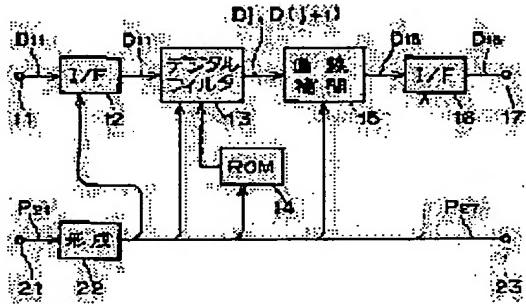
(21)Application number : 04-155725 (71)Applicant : SONY CORP
(22)Date of filing : 22.05.1992 (72)Inventor : NOGUCHI MASAYOSHI
YAMADA MAKOTO

(54) RATE CONVERSION METHOD AND ITS CONVERSION CIRCUIT

(57) Abstract:

PURPOSE: To provide a rate conversion method and its conversion circuit able to obtain a sufficient characteristic practically from a ROM of even a small capacity.

CONSTITUTION: The conversion circuit is provided with a digital filter 13 receiving a 1st digital signal D11 to implement oversampling for a multiple of (m) ($m \geq 2$ being an integral number) of a 1st sampling frequency and with an interpolation circuit 15 implementing linear interpolation with respect to an input signal. Operation by the digital filter 13 is applied to the 1st digital signal D11 at points of 1st and 2nd times having a 2nd digital signal D15 before and after inbetween timewise among point of times t_1-t_m being m-equal divisions of a period of the 1st digital signal D15. The result of the operation at the 1st and 2nd point of times is fed to the interpolation circuit 15, from which a 2nd digital signal D15 is obtained.



LEGAL STATUS

[Date of request for examination] 18.05.1999

[Date of sending the examiner's decision of rejection] 12.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

して、変換後のサンプリング点と一致するレート変換前のオーバーサンプリング点について、実際の計算を行い、レート変換されたデジタルオーディオ信号を得るものである。

おいては、レポート作成後、データを各機器に供給され、各機器の制御信号及びデータリンク信号が形成され、後述の回路 1 ～ 6 にそれぞれ供給される。また、形成回路 2 に同じくしてデータリンク信号が形成され、このデータリンク P27/28 が端末装置から各機器に供給される。

[001-3] 図3AはクロックP21を示し、図3CはクロックP27を示すもので、クロックP21、P27は、最小公倍数の周期で、時間位置が一致する。なお、クロックP21の位置する時点を時点T1、T2、T3、……と

の倍率に比例してROM14の容量が大きくなっています。
【0026】そこで、この発明においては、位相は折り返し成分を許容できる最小値に選択する。そして、そのようにすれば、ROM14の容量を、上述したの方法

[0021] こうして、補回路15からは、クロックP27ごとに、そのクロックP27の時点におけるデータD15が取り出される。

[0022] この取り出されたデータD15は、レート変換後のクロックP27ごとに得られるので、レート変換されたデジタルオーディオ信号にはほかならない。そこで、このデータD15(=Di)が、出カインタフェイス回路16を通じて端子17にレート変換されたデジタルオーディオ信号D15として出力される。

[0023] こうして、デジタルオーディオ信号のレート変換を行うことができるが、一般的には、次のとおり

の場合は、ノイズによる誤りになります。

[0027] つまり、位相を大きくすれば、理論的には、それだけレート変換特性が良くなるが、実際には、レート変換前の信号D11の特徴などに限界があり、レート変換特性だけをよくしくても意味がないので、レート変換特性は必要最小限となる程度に小さい値mを用意し、ROM14の容量を1／nにすることができる。

[0028] 例えば、サンプリング周波数を44.1kHzから32kHzにレート変換する場合であれば、 $m \cdot n = 320$ になるが、例えば $m=40$ 、すなわち、フィルタ1.3のオーバーサンプリングを40倍とする。すると、 $n=8$ となる。

である。

[0024] 1. レート変換前の信号D11 (クロックP2) 1) と、レート変換後の信号D15 (クロックP2')との最小小音数の周期における、信号D15の回路数をm・nとしたときの(m , n は2以上の整数)。

2. レート変換前の信号D11のサンプリング回波数のm倍のオーバーサンプリングを行うデジタルフィルタ 1 を設ける。

3. フィルタ 1 の出力にに対して、直線時間を行う時間回路 1.5 を設ける。

4. レート変換前の信号D11の回期 t を、m等分する時点 $t_1 \sim t_m$ を定める。

[0025] この発明によれば、デジタルフィルタ 1 及び直線時間回路 1.5 によりレート変換を行うようにして、デジタルフィルタ 1.3 の添数用 ROM 1.4 の容量を 1/n に小さくすることができる。

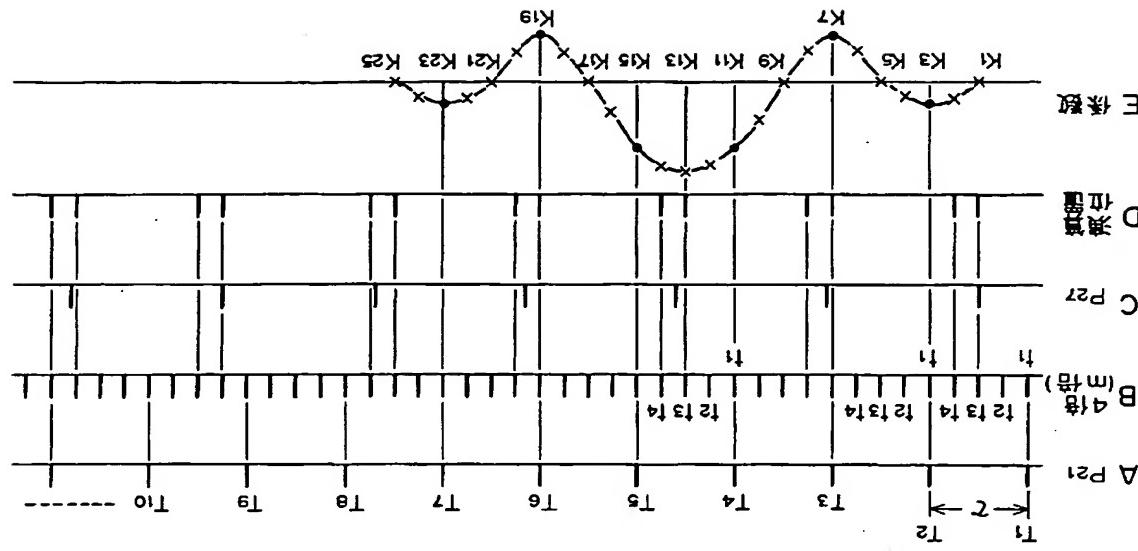
[0026] また、1組のレート変換に必要な累乗係数が $/n$ になるので、積数組のレート変換に必要な累乗係数のすべてを、ROM 1.4 に用意することもでき、複数のレート変換モードに対応できる変換回路を、チップのLSIで実現することができる。

【0019】例えは、時点T4と時点T5との間の期間で
の時点3であれば、ROM14に書き込まれている
音波レコードK25(図3F)のうち、印を付けて4-4
=1とする)。

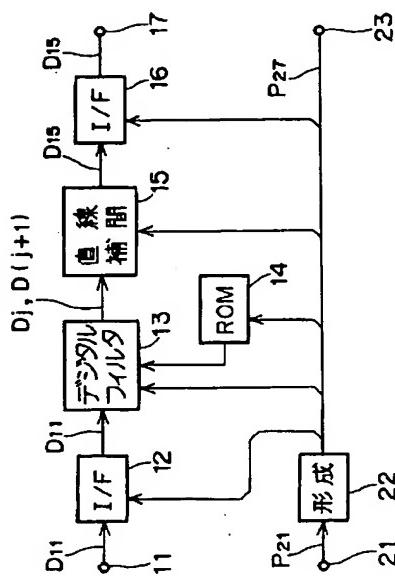
なく、したがつて、信号D15の1サンプルを求めるのに必要とする演算時間も信号に影響されない。
【図面の簡単な説明】
【図1】この発明の一例を示す系統図である。
【図2】図1の一部の一例を示す系統図である。
【図3】図1の動作を説明するための図である。
【図4】図1の動作を説明するための図である。
【図5】送り例を説明するための図である。

【符号の説明】
1.2 入カインターフェイス回路
1.3 デジタルフィルタ
1.4 係数用ROM
1.5 直線補間回路
1.6 出カインターフェイス回路
2.2 信号形成回路

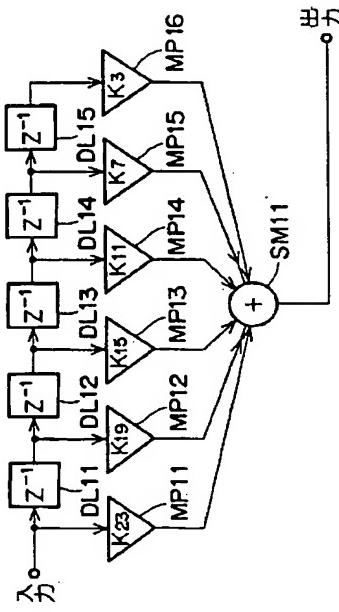
[図3]



[図1]



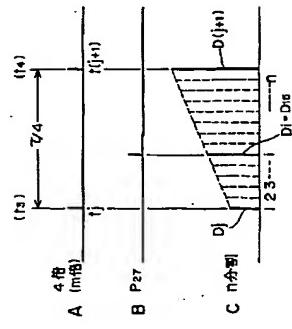
[図2]



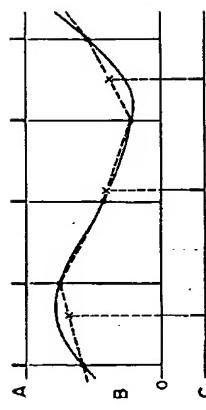
(7)

特開平5-327409

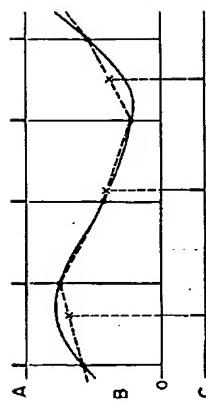
[図4]



[図5]



[図4]



[図5]

